

DECODIFICADOR DE ÁUDIO MPEG-2 AAC-LC: IMPLEMENTAÇÃO EM ASIC DO MÓDULO INVERSE MODIFIED DISCRETE COSINE TRANSFORM (IMDCT)

Fábio Bispo de Jesus¹, Wagner Luiz Alves de Oliveira²

1. Bolsista PROBIC/UEFS, Graduando em Engenharia de Computação, Universidade Estadual de Feira de Santana, e-mail: fabiobispo.fsa@gmail.com
2. Orientador, Departamento de Tecnologia, Universidade Estadual de Feira de Santana, e-mail: wagner@ecomp.uefs.br

PALAVRAS-CHAVE: IMDCT, ASIC, MPEG-2, AAC.

INTRODUÇÃO

O projeto de sistemas digitais alcançou um elevado grau de complexidade, dificultando sua viabilização econômica sem a utilização de ferramentas de EDA (Electronic Design Automation), as quais possibilitam maiores vantagens comerciais no desenvolvimento de um projeto (OLIVEIRA, 2004). Uma solução que vem crescendo bastante é a utilização de FPGAs (Field Programmable Gate Arrays - chips programáveis). Com preços em queda e cada vez mais robustos (leia-se resistência a falhas), os dispositivos FPGAs vem trazendo grandes vantagens, seja no tempo de implementação de um sistema (Time-to-Market), seja no alto nível de desempenho e capacidade de memória interna, quando comparados a soluções que demandam maiores investimentos (como, por exemplo, ASICs - Application Specific Integrated Circuits, chips específicos a uma aplicação, de baixo valor unitário, mas de alto custo de projeto). Entretanto, para projetos que demandam eficiência energética, baixo consumo de área e elevada performance na função desejada é necessário a implementação em ASIC.

O padrão MPEG é voltado para compressão, descompressão e representação codificada de áudio, vídeo e dados correlatos, objetivando melhorar a transmissão e armazenamento de conteúdo áudio-visual (ISO/IEC:13818-1, 2000)(ISO/IEC:13818-2, 2000) (ISO/IEC:13818-7, 2004). Tal padrão propicia melhor aproveitamento tanto da banda de transmissão (utilizada por canais de TV, por exemplo) quanto de meios de armazenamento (por exemplo, discos Blu-ray), ao mesmo tempo em que possibilita maior taxa de transferência de informações (facilitando a transmissão via web). Exemplos de aplicações que utilizam o MPEG incluem aplicações gráficas interativas, videofone, correio eletrônico multimídia e, mais recentemente, a TV Digital, que atualmente está sendo implantada no Brasil.

Neste contexto, a codificação de Áudio MPEG-2 AAC tornou-se muito popular e amplamente utilizada nos últimos anos, sendo aplicável a uma ampla gama de aplicações para a transmissão de áudio digital multicanal. Ela atinge uma taxa de compressão elevada e desempenho de alta qualidade, devido a um melhor mapeamento tempo-frequência. Em relação ao MP3, o AAC proporciona uma maior qualidade de reprodução de áudio, com um número maior de canais. Além disso, com maior taxa de compactação, proporciona downloads mais rápidos e menor espaço de armazenamento.

Na ocasião, o presente trabalho refere-se à implementação da IMDCT (*Inverse Modified Discrete Cosine Transform*), este módulo é responsável pela transformação dos dados do domínio da frequência para o domínio do tempo, em ASIC, o qual integra o Decodificador AAC-LC para MPEG-2.

METODOLOGIA

O fluxo de projeto baseou-se no ipProcess, um processo de desenvolvimento de soft IP-cores, com prototipação em FPGA e ASIC.

O ipProcess provê uma abordagem disciplinada de atribuição de tarefas e responsabilidades, buscando entender as necessidades do cliente, bem como o desenvolvimento de soft IP-cores com qualidade (LINCS-UFPE, 2006).

A figura 1 ilustra as fases de desenvolvimento do ipProcess.

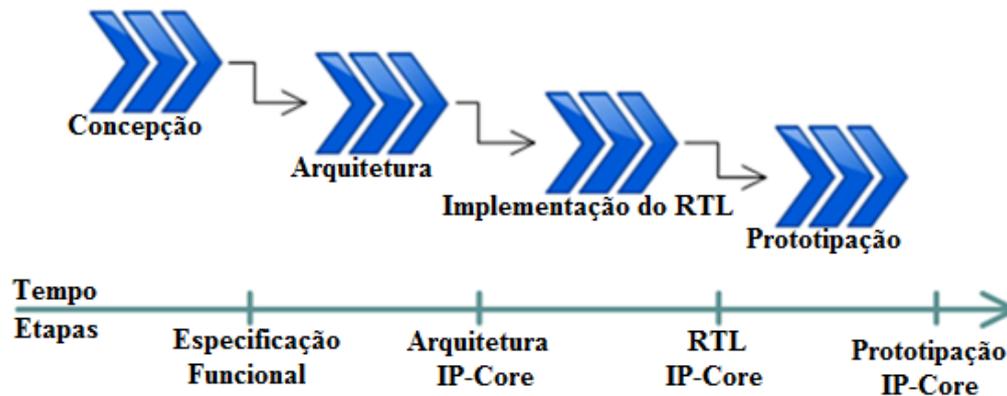


Figura 1. Fases do ipProcess (LINCS-UFPE, 2006).

Inicialmente, na fase de concepção, o objetivo é entender o problema e as necessidades do cliente, definindo o escopo da aplicação (requisitos funcionais e não funcionais).

Nesta fase, foi necessário entender os padrões que seriam utilizados, bem como definir quais as funcionalidades de cada módulo.

Em seguida, na fase de arquitetura, faz-se uma análise de tais módulos, visando uma definição do comportamento do sistema, em nível de classes, atributos e métodos, o que permite a definição da arquitetura da aplicação.

Na fase seguinte, referente ao projeto RTL, o foco encontra-se na realização das estruturas de teste (*testbenches*) e implementação do sistema. Por fim, na etapa de prototipação, é realizada a implementação em nível de FPGA e posteriormente em nível ASIC.

As atividades foram focadas inicialmente na implementação da lógica da IMDCT. Após algumas pesquisas e, tomando por base fatores essenciais para o fluxo de dados do projeto (os quais relacionam as informações de taxa de transmissão e latência), foi elaborado um modelo que atende aos requisitos de operação.

A IMDCT é representada pela equação (1):

$$X_{i,n} = \frac{2}{N} \sum_{k=0}^{\frac{N}{2}-1} spec[i][k] \cos\left(\frac{2\pi}{N}(n+n_0)\left(k+\frac{1}{2}\right)\right) \text{ para } 0 \leq n < N \quad (1)$$

, onde N pode assumir os valores **256** ou **2048**, dependendo do tipo de janela processada pelo decodificador, ao passo que n varia de **0** a **255** ou de **0** a **2047**, também em função da janela processada; *spec* corresponde ao vetor contendo as informações do áudio decodificado.

Inicialmente o módulo IMDCT foi modelado em MatLab para analisar o seu comportamento.

Foi decido com base na análise realizada que a parte da equação (1) referente ao cálculo do cosseno para cada amostra (representado pela equação (2)) seria colocado em

memória, a fim de diminuir a latência computacional de tal módulo. Estes valores foram gerados em MatLab com uma precisão de 16 bits e armazenados em memória.

$$Tabela X = \cos\left(\frac{2\pi}{N}(n + n_0)\left(k + \frac{1}{2}\right)\right) \text{ para } 0 \leq n < N \quad (2)$$

RESULTADOS OBTIDOS

A implementação foi realizada em Verilog, seguindo-se os passos do ipProcess. O diagrama em alto nível do sistema é mostrado na figura 2.

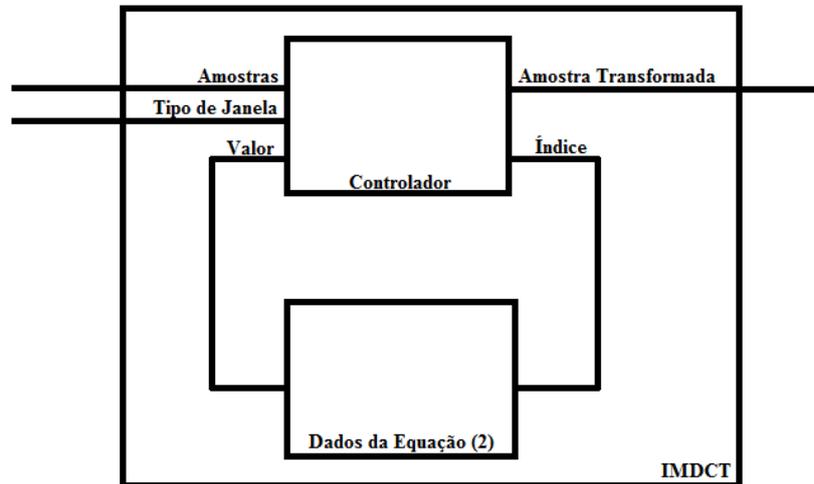


Figura 2. Diagrama de Blocos da IMDCT.

As informações vindas do reescalador (ver figura 2) são passadas para o módulo IMDCT pela entrada **amostras** junto à informação do **tipo de janela** (curta ou longa) fornecida pelo controlador principal. O **controlador interno** é uma máquina de estados que recupera da memória interna (**Dados da Equação (2)**) os dados armazenados e realiza a transformação das informações do domínio da frequência para o domínio do tempo. Este módulo foi prototipado em fpga na placa Nexys™2 Spartan-3E.

A seguir (figura 3), o resultado final do processo de Layout do RTL desenvolvido.

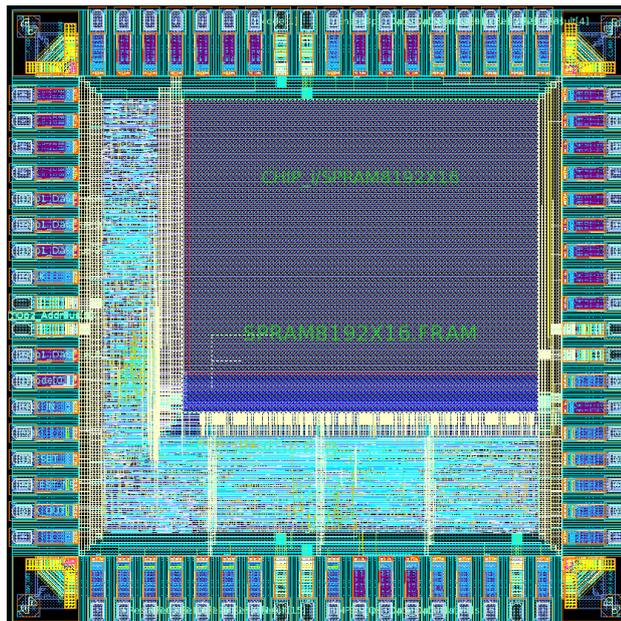


Figura 3. Resultado final do processo de ASIC.

CONSIDERAÇÕES FINAIS

O trabalho foi finalizado, entretanto, não passou pelo processo de verificação funcional do módulo (estrutura de teste criada validar o que foi feito), pois esta última não ficou pronta a tempo e não foi possível realizar os procedimentos padrões de teste. Entretanto, o módulo encontra pronto para ser testado e todos os *scripts* para o desenvolvimento do ASIC estão prontos.

O fluxo de desenvolvimento em ASIC, aliado a dificuldade de implementação direta em hardware da IMDCT foram as tarefas que apresentam maiores dificuldades de aprendizagem, pois os detalhes contidos em cada nível tornam o entendimento mais trabalhoso. A experiência adquirida durante o período serviu de base para o desenvolvimento do projeto e contribuirá como diferencial em outros projetos e no mercado de trabalho, já que os conhecimentos adquiridos acerca do uso de ferramentas e da metodologia de desenvolvimento não são tão acessíveis, sendo poucos os estudantes que podem vivenciar tal experiência.

REFERÊNCIAS

[1] OLIVEIRA, W. L. A. de. Uma Abordagem para a Modelagem de Sistemas Digitais. Tese (Doutorado), June 2004. Disponível em: <http://libdigi.unicamp.br/document/?code=vtls000336752>.

[2] ISO/IEC:13818-1. MPEG-2 Part 1: Systems. Switzerland, 2000.

[3] ISO/IEC:13818-2. MPEG-2 Part 2: Video. Switzerland, 2000.

[4] ISO/IEC:13818-7. MPEG-2 Part 7: Audio. Switzerland, 2004.

[5] LINCOS-UFPE. 2006. Disponível em: www.lincos.org.br/iprocess.