

## DECODIFICADOR DE ÁUDIO MPEG-2 AAC-LC: IMPLEMENTAÇÃO E INTEGRAÇÃO AO TESTBENCH DO MODELO DE REFERÊNCIA DA FUNÇÃO KAISER-BESSEL DERIVED (KBD)

**Victor Yuri Moreira de Souza Cedraz<sup>1</sup>; Wagner Luiz Alves de Oliveira**<sup>2</sup>

1. Bolsista PIBITI/CNPq, Graduando em Engenharia de Computação, Universidade Estadual de Feira de Santana, e-mail: [victorcedraz.ecomp@gmail.com](mailto:victorcedraz.ecomp@gmail.com)
2. Orientador, Departamento de Tecnologia DETEC, Universidade Estadual de Feira de Santana, e-mail: [wagner@ecomp.uefs.br](mailto:wagner@ecomp.uefs.br)

**PALAVRAS-CHAVES:** *Testbench, Kaiser-Bessel Derived, Windowing/Block Switching.*

### INTRODUÇÃO

Os sistemas digitais estão passando a serem mais complexos tanto em sua construção e como nos testes a serem realizados, isso devido aos avanços tecnológicos. Com isso, a realização de testes consome a maior parte do tempo de desenvolvimento do projeto. Todo sistema digital parte de uma especificação, que irá determinar como o sistema deverá funcionar. A representação em hardware dessa especificação é chamada *Register Transfer Level (RTL)*.

No processo de transformação a partir da especificação, erros podem ocorrer. Isto exige testes e correções, pois um erro que se propaga acarretará em elevados custos, financeiro e de tempo de desenvolvimento, ao projeto. Assim, antes da obtenção das máscaras utilizadas na fabricação de um circuito integrado, é essencial que o RTL correspondente seja testado para verificar se o mesmo está funcionando de acordo com as especificações fornecidas no início do projeto.

A verificação funcional é uma metodologia testes, com o intuito de detecção de erros já nas fases iniciais do projeto. Segundo Bergeron (2003), a verificação funcional é um processo usado para demonstrar que o objetivo do projeto é preservado na sua implementação.

Neste contexto, o presente trabalho tem por objetivo principal a implementação do modelo de referência da função *Kaiser-Bessel Derived (KBD)*, integrando-o ao *testbench* de um dos módulos do Decodificador de Áudio MPEG-2 AAC-LC, denominado *Windowing/Block Switching (W/BS)*, de forma a assegurar que a implementação RTL deste módulo esteja livre de erros.

### METODOLOGIA

Este trabalho seguiu a metodologia de projeto *ipProcess*, utilizado pelo Brazil-IP (Barros, 2005). O Brazil-IP baseia-se em um consórcio de laboratórios e universidades brasileiras, com o objetivo o desenvolvimento de mão-de-obra qualificada de circuitos integrados já na graduação. Para tal, este consórcio é voltado para prototipação em *Field-Programmable Gate Array (FPGA)* de sistemas digitais, de forma a validar a especificação dos mesmos, para adequação ao fluxo *Application-Specific Integrated Circuit (ASIC)*.

Como o projeto Brazil-IP ampara-se fortemente no processo de verificação funcional (Bergeron, 2003 & Melcher, 2008), seus coordenadores propuseram uma arquitetura própria de *testbench*, mostrada na Figura 1. Tal *testbench* é dividido em cinco elementos: **Source**, **Driver**, **Monitor**, **Reference Model (RM)** e **Checker**, os quais se relacionam com o **Design Under Verification (DUV)**, isto é, o módulo RTL a ser testado. O mecanismo de

sincronização da *testbench* é por meio de uma fila *First-In-First-Out* (FIFO), através de transações. Uma transação corresponde a um sequência atômica de alterações de sinais, visando simular determinado sequenciamento nas entradas do circuito - daí a necessidade de uma fila. As funcionalidades de cada bloco são brevemente descritas abaixo:

1. **Source:** é o responsável por prover dados em nível de transação (TL) para o DUV e para o *Reference Model* (RM). É conectado ao RM e ao *Driver* por meio de FIFOs. Existe uma FIFO para cada interface de entrada do DUV. O mesmo número de FIFOs vai para o RM e para o *Driver*.
2. **Driver:** recebe dados em nível de transação do *Source*, traduz para o protocolo de sinais e encaminha para o DUV. Funciona como uma ponte entre o nível de transação e o nível de sinal. Sempre existe um *Driver* para cada interface de entrada do DUV.
3. **Monitor:** é uma ponte entre os sinais e as transações. Responsável por receber os dados em nível de sinais do DUV e transformá-los em dados em nível de transação. O *Monitor* adiciona o dado em uma FIFO e encaminha para o *Checker*. Sempre existe um *Monitor* para cada interface de saída do DUV.
4. **Checker:** responsável pela comparação entre os resultados em nível de transação vindos do RM e do *Monitor* para verificar se eles são equivalentes. O *Checker* compara automaticamente as saídas do RM e do *Monitor* e imprime mensagens de erro se elas não forem equivalentes.
5. **Reference Model (RM):** é a implementação ideal da funcionalidade do sistema. Recebe dados em nível de transação do *Source* através de uma FIFO e envia dados também em nível de transação de uma FIFO para o *Checker*.
6. **DUV:** é a unidade que está sendo testada, ou seja, o projeto que está sendo desenvolvido pela equipe - o RTL.

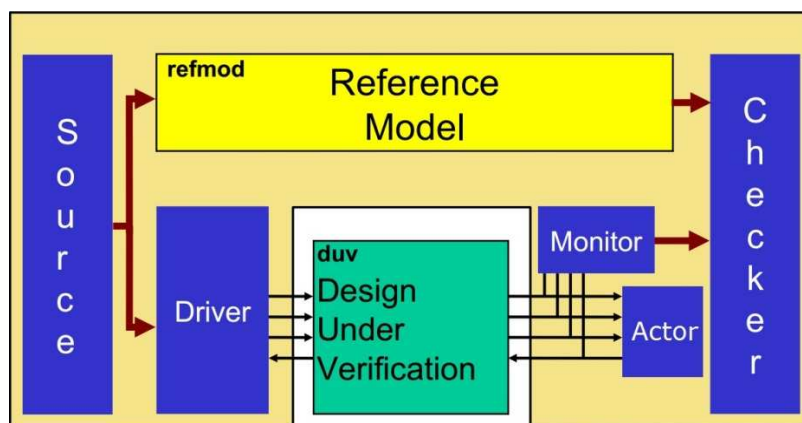


Figura 1: Arquitetura *Testbench* (adaptada Brazil-IP).

As equações (1) e (2) mostram o modelo de referência da função de janelamento KBD:

$$W_{KBD\_LEFT, N}(n) = \sqrt{\frac{\sum_{p=0}^n [W'(p, \alpha)]}{\sum_{p=0}^{N/2} [W'(p, \alpha)]}} \quad \text{for } 0 \leq n < \frac{N}{2} \quad (1)$$

$$W_{KBD\_RIGHT, N}(n) = \sqrt{\frac{\sum_{p=0}^{N-n-1} [W'(p, \alpha)]}{\sum_{p=0}^{N/2} [W'(p, \alpha)]}} \quad \text{for } \frac{N}{2} \leq n < N \quad (2)$$

O  $W'$  é a derivada da função *Kaiser-Bessel*, esse apresentado na equação (3), o  $N$  é o número de amostras e o  $\alpha$  é o fator de controle de janela, onde  $\alpha = 4$ , para 2048 amostras e  $\alpha = 6$  para 256 amostras.

$$W'(n, \alpha) = \frac{I_0 \left[ \pi \alpha \sqrt{1.0 - \left( \frac{n - N/4}{N/4} \right)^2} \right]}{I_0[\pi \alpha]} \quad \text{for } 0 \leq n \leq \frac{N}{2} ; \quad I_0[x] = \sum_{k=0}^{\infty} \left[ \frac{\left( \frac{x}{2} \right)^k}{k!} \right]^2 \quad (3)$$

## RESULTADOS E DISCUSSÃO

Em relação à parte de estudos teóricos, para o referente projeto foram consultados:

1. Trabalho de Conclusão de Curso de João Marcelo Silva Souza, formado em Engenharia de Computação pela UEFS, orientado pelo prof. Dr. Wagner Luiz Alves de Oliveira, do Departamento de Tecnologia da UEFS. Este trabalho trata do Desenvolvimento e Implementação em Lógica Digital da Função de Janelamento KBD do Módulo *Windowing/Block Switching* de um Decodificador de Áudio MPEG-2 AAC-LC; e
2. Norma ISO/IEC13818-7, que especifica os requisitos para construção de um Decodificador de Áudio MPEG-2 AAC-LC.

Além destes estudos, o bolsista participou de um treinamento de 40h sobre verificação funcional, provido por um pesquisador da UFCG, vinculado ao Brazil-IP. O treinamento proporcionou ao bolsista uma base sobre verificação funcional e sobre a utilização da ferramenta *Easy TestBench Creator* (eTBC) para auxílio na criação de *testbenches*, a qual visa automatizar e acelerar o processo de construção do ambiente de verificação, gerando as ligações entre os componentes do *testbench*.

No início do desenvolvimento do projeto houve um remanejamento de atividades e, ao invés de desenvolver o modelo de referência da função KBD, integrando-o ao *Windowing/Block Switching* do Decodificador de Áudio MPEG-2 AAC-LC, foi desenvolvido o modelo de referência para realizar a verificação funcional do somador e multiplicador de ponto flutuante (FPU) do mesmo módulo do decodificador. Após a implementação do modelo referência foi iniciada a construção do *testbench*, mas, em função de problemas com a ferramenta eTBC, não foi possível concluir a verificação deste módulo.

Após as correções na ferramenta, o projeto foi retomado com a construção do modelo de referência da função de janelamento KBD, mostrada nas equações (1), (2) e (3), sendo utilizada a linguagem de programação C para desenvolver tal modelo de referência.

Após o desenvolvimento, o modelo de referência foi testado e os resultados gerados foram bons, de acordo com a margem de erro esperada devido a arredondamentos da representação em ponto flutuante da linguagem. A Tabela 1 mostra somente alguns dos valores obtidos com o modelo de referência.

Tabela 1: Resultados gerados pelo modelo de referência da função de janelamento KDB

N = 256	N = 2048
LEFT( 1): 0.0000437957041361	LEFT( 1): 0.0002925615473582
LEFT( 59): 0.5944970588462618	LEFT( 147): 0.0519519782646443
LEFT( 124): 0.9999998174544770	LEFT( 790): 0.9892727860766949
RIGHT( 128): 0.9999999939172909	RIGHT(1024): 0.9999999503522816
RIGHT( 169): 0.9654170185378602	RIGHT(1147): 0.9993096717824820
RIGHT( 252): 0.0002307165835454	RIGHT(1790): 0.1788223920827055

Após a implementação do modelo de referência da função de janelamento KBD, o projeto prosseguiu com a integração de tal modelo ao restante do modelo de referência do módulo *Windowing/Block Switching*. Os testes realizados comprovam o funcionamento do modelo de referência do *Windowing/Block Switching*.

Durante o desenvolvimento do projeto, algumas das dificuldades encontradas referem-se à compreensão do processo de verificação e da metodologia BVM (sendo essa metodologia recente e restrita bibliografia), além da complexidade do próprio projeto do decodificador. Contudo, as principais metas foram realizadas: os modelos de referência da função de janelamento KBD e do módulo *Windowing/Block Switching* foram desenvolvidos e testados.

Como citado no decorrer do documento, este trabalho integra um projeto maior que está sendo desenvolvido na UEFS, o Brazil-IP. Este é um programa em nível nacional, o qual visa incentivar e desenvolver mão-de-obra qualificada na área de projeto de Sistemas Digitais e Circuitos Integrados.

## CONCLUSÃO

Diante dos resultados apresentados neste relatório, é possível perceber que os objetos do projeto foram alcançados de maneira satisfatória e, mesmo mediante as dificuldades encontradas, o bolsista, o professor orientador e a equipe de desenvolvimento encontraram boas soluções para o cumprimento das tarefas previstas no projeto. É importante salientar, ainda, que este trabalho contribuiu para o desenvolvimento do projeto maior, o Decodificador de Áudio MPEG-2 AAC- LC do programa Brazil-IP/UEFS.

Este trabalho, e mais especificamente o projeto Brazil-IP, são de extrema importância para a formação acadêmica de um Engenheiro de Computação, pois proporcionam um aprendizado e uma experiência única, as quais serão determinantes para uma possível atuação profissional, seja na área acadêmica, seja no mercado de trabalho.

Por fim, o desenvolvimento do projeto como um todo elevou o nível de conhecimento teórico e prático do bolsista, em relação ao processo de verificação funcional e, também, de outros conceitos referentes ao desenvolvimento de sistemas digitais.

## REFERÊNCIAS

- BARROS, E. et al. 2005. *ipProcess: Using a process to teach ip-core development*. Microelectronics Systems Education, IEEE International Conference on/Multimedia Software Engineering, International Symposium on, IEEE Computer Society, Los Alamitos, CA, USA, v. 0, p. 27-28.
- BERGERON, J. 2003. *Writing Testbenches using System Verilog*. 233 Spring Street, New York, NY 10013, USA: Springer.
- BRAZIL-IP. 2002 [online]. Rede brasileira de centros de concepção de Sistemas Digitais e IP-Cores. Homepage: <http://www.brazilip.org.br/>
- MELCHER, E. U. K. 2008. Verificação funcional. Curso do programa Brazil-IP. Universidade Federal de Campina Grande.
- ISO/IEC 13818-7. 2004. *Information technology, Generic coding of moving pictures and associated audio information - Part 7: Advanced Audio Coding (AAC)*, Third edition.