

DECODIFICADOR DE ÁUDIO MPEG-2 AAC-LC: IMPLEMENTAÇÃO E INTEGRAÇÃO AO TESTBENCH DO MODELO DE REFERÊNCIA DA FUNÇÃO SENO

Eliton Gonçalves da Conceição¹; Wagner Luiz Alves de Oliveira².

1. Bolsista PROBIC/UEFS, Graduando em Engenharia de Computação, Universidade Estadual de Feira de Santana, e-mail: eliton.gc@gmail.com
2. Orientador, Departamento de Tecnologia, Universidade Estadual de Feira de Santana, e-mail: wagner@ecomp.uefs.br

Palavras-chave: Decodificador de Áudio, Verificação Funcional, Função Seno.

INTRODUÇÃO

Devido aos avanços tecnológicos, os sistemas digitais estão se tornando cada vez mais complexos para serem construídos e testados. Nesse processo, os testes são responsáveis pela maior parte do tempo de desenvolvimento de um sistema. Os sistemas são desenvolvidos baseados nas especificações, que determinam como o sistema deverá funcionar. A representação em hardware dessa especificação é chamada *Register Transfer Level* (RTL). Durante a obtenção do RTL podem ocorrer erros que, caso não sejam detectados, podem acarretar em elevados custos para o projeto. Tal custo pode ser tanto resultante do alto custo financeiro de enviar um projeto para a fábrica que irá confeccionar os componentes com erros, como do tempo que será gasto pela equipe de desenvolvimento do projeto para refazê-lo.

Assim, antes da obtenção das máscaras utilizadas na fabricação de um circuito integrado, é essencial que o RTL correspondente seja testado para verificar se o mesmo está funcionando de acordo com as especificações fornecidas no início do projeto, processo este denominado de verificação funcional, o qual consiste numa metodologia de teste que permite detectar erros no RTL nas fases iniciais do projeto. De acordo com (Bergeron, 2003), a verificação funcional é um processo usado para demonstrar que o objetivo do projeto é preservado em sua implementação.

Visando o desenvolvimento de um RTL sem erros, esse projeto visa à realização da verificação funcional do módulo *Windowing/Block Switching* do Decodificador de Áudio MPEG-2 AAC-LC, a partir da implementação do modelo de referência da função seno, integrando-o ao *testbench* do referido módulo, de forma a assegurar que seu RTL esteja livre de erros. Tal *testbench* corresponde à implementação em SystemVerilog de um ambiente de teste, composto por vários elementos, conforme explicado na sequência.

METODOLOGIA

Para a realização deste trabalho, foi empregada a metodologia de projeto ipProcess, utilizada pelo Brazil-IP (Barros, 2005). O Brazil-IP é um consórcio de universidades brasileiras, cujo objetivo é desenvolver mão-de-obra qualificada, ainda na graduação, no projeto de circuitos integrados. Para tal, este consórcio ampara-se fortemente na metodologia ipProcess, voltada para a prototipação em FPGA de sistemas digitais, de forma a validar a especificação dos mesmos, para adequação ao fluxo ASIC (*Application-Specific Integrated Circuit* – Circuito Integrado de Aplicação Específica).

Além do estudo da metodologia ipProcess, também foi realizado um treinamento de 40h sobre verificação funcional, dado por um pesquisador da UFCG, vinculado ao Brazil-IP. O treinamento propiciou uma base sobre verificação funcional, com um tutorial sobre criação de *Testbench* e um treinamento sobre a utilização da ferramenta *Easy Testbench Creator* (eTBC),

para auxílio à criação de *testbenches*, a qual visa automatizar e acelerar o processo de construção do ambiente de verificação, gerando as ligações entre os componentes de um *testbench*.

Em linhas gerais, a arquitetura do *testbench* proposta pelo Brazil-IP é mostrada na Figura 1, sendo composta dos seguintes elementos: **Source**, **Driver**, **Monitor**, **Reference Model (RM)** e **Checker**. O mecanismo de sincronização do *testbench* é implementado por meio de uma fila **FIFO** (*First-In-First-Out*), através de transações (uma transação corresponde a um sequência atômica de alterações de sinais, visando simular determinado sequenciamento nas entradas do circuito). As funcionalidades de cada um desses blocos são: O **Source** é o responsável por prover dados em nível de transação (TL) para o **DUV** e para o Modelo de Referência (**RM**), sendo conectado ao **RM** e ao **Driver** por meio de FIFOs. Existe um **FIFO** para cada interface de entrada do **DUV**. O mesmo número de FIFOs vai para o **RM** e para o **Driver**.

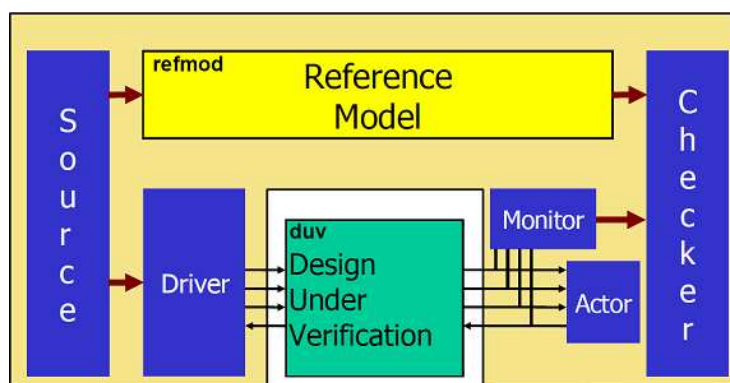


Figura 1. Testbench (Brazil-IP).

O **Driver** recebe dados em nível de transação do **Source**, traduz tais dados para o protocolo de sinais e passa-os para o **DUV**, funcionando como uma ponte entre o nível de transação e o nível de sinal. Existe sempre um **Driver** para cada interface de entrada do **DUV**.

O **Monitor** é responsável por receber os dados em nível de sinais do **DUV** e transformá-los em dados em nível de transação. O **Monitor** põe o dado num **FIFO** e passa para o **Checker**. Existe sempre um **Monitor** para cada interface de saída do **DUV**.

O **Checker** é responsável pela comparação entre os resultados em nível de transação vindos do **RM** e do **Monitor**. Ele compara automaticamente ambos resultados e imprime mensagens de erro se elas não forem equivalentes.

O **Reference Model (RM)** é a implementação ideal da funcionalidade do sistema. Recebe dados em nível de transação do **Source** através de um **FIFO** e envia dados também em nível de transação em um **FIFO** para o **Checker**.

O **DUV** é a unidade que está sendo testada, ou seja, o próprio RTL.

RESULTADOS E DISCUSSÃO

No início do desenvolvimento do projeto houve um remanejamento de atividades e, ao invés de desenvolver o modelo de referência da função seno, integrando-o ao *Windowing/Block Switching* do Decodificador de Áudio MPEG-2 AAC-LC, foi desenvolvido o modelo de referência para realizar a verificação funcional do somador e multiplicador de ponto flutuante do mesmo módulo do decodificador. Tal módulo é responsável por realizar somas e multiplicação de números reais entre os valores provenientes do IMDCT e das funções seno e KBD, entregando os resultados para o módulo *Overlapping/Adding*. Após a implementação desse modelo referência,

foi iniciada a construção do *testbench*, mas, em função de problemas com a ferramenta eTBC, não foi possível concluir a verificação deste módulo.

Após as correções realizadas na ferramenta, o projeto foi retomado com a construção do modelo de referência da função de janelamento seno, mostrada nas equações (1) e (2), como proposto no plano de trabalho inicial, com tal modelo de referência tendo sido desenvolvido na linguagem de programação C.

$$W_{SIN_LEFT,N}(n) = \sin\left(\frac{\pi}{N}\left(n + \frac{1}{2}\right)\right) \text{ for } 0 \leq n < \frac{N}{2} \quad (1)$$

$$W_{SIN_RIGHT,N}(n) = \sin\left(\frac{\pi}{N}\left(n + \frac{1}{2}\right)\right) \text{ for } \frac{N}{2} \leq n < N \quad (2)$$

Na função de janelamento seno expressa nas equações (1) e (2), N pode assumir os valores 256 ou 2048, dependendo do tipo de janela processada pelo decodificador, ao passo que n varia de 0 a 255 ou de 0 a 2047, também em função da janela processada. Após o desenvolvimento, o modelo de referência foi testado e os resultados gerados foram satisfatórios, de acordo com a margem de erro esperada devido a arredondamentos da representação em ponto flutuante da linguagem.

A Tabela 1 mostra alguns dos valores obtidos com o modelo de referência, uma vez que a tabela completa possui 2204 valores.

Tabela 1. Resultados gerados pelo modelo de referência da função de janelamento seno.

Para N = 256	Para N = 2048
LEFT(0): 0.0061358846491545	LEFT(50): 0.0773885742752650
LEFT(50): 0.5808139580957645	LEFT(522): 0.7184037950234897
LEFT(80): 0.8348628749863800	LEFT(871): 0.9727624466956886
LEFT(91): 0.9013488470460220	LEFT(987): 0.9984329526665084
LEFT(127): 0.9999811752826011	LEFT(1023): 0.9999997058628822
RIGHT(135): 0.9957674144676598	RIGHT(1474): 0.7705719072813809
RIGHT(192): 0.7027547444572252	RIGHT(1543): 0.6989250026044143
RIGHT(217): 0.4550835871263439	RIGHT(1896): 0.2303118047938456
RIGHT(254): 0.0184067299058051	RIGHT(2047): 0.0007669903187429

Após a implementação do modelo de referência da função de janelamento seno, o projeto prosseguiu com a integração de tal modelo ao restante do modelo de referência do módulo *Windowing/Block Switching*. Os testes realizados após tal integração também apresentaram bons resultados, comprovando o funcionamento do modelo de referência do *Windowing/Block Switching*.

Prosseguiu-se com o desenvolvimento do *testbench*, para realização da verificação funcional do módulo, contudo, como o RTL do módulo ainda não encontra-se finalizado, não foi possível a verificação final do mesmo. Assim sendo, a conclusão desta verificação fica dependente da finalização do RTL, que esta sendo desenvolvido por outros membros do projeto.

Os resultados obtidos neste projeto baseiam-se num processo de verificação que utiliza no *testbench* dois modelos de referência: um modelo de referência assume o papel do RLT (DUV do *testbench*), enquanto o outro exerce sua real função. Durante o teste com os modelos duplicados,

os resultados obtidos foram bons, notando-se que, ao alterar-se um dos modelos de referência (introduzindo erros), o ambiente de verificação identificava os erros introduzidos.

Vale lembrar que durante o desenvolvimento do projeto, algumas das dificuldades encontradas referem-se à compreensão do processo de verificação, além da complexidade do próprio projeto do decodificador. Contudo, as principais metas foram realizadas: os modelos de referência da função de janelamento seno e do módulo *Windowing/Block Switching* foram desenvolvidos e testados.

CONCLUSÃO

Diante dos resultados apresentados neste relatório, é possível perceber que os objetos do projeto foram alcançados de maneira satisfatória e, mesmo mediante as dificuldades encontradas, o bolsista, o professor orientador e a equipe de desenvolvimento encontraram boas soluções para o cumprimento das tarefas previstas no projeto. É importante salientar, ainda, que este trabalho contribuiu para o desenvolvimento do projeto maior, o Decodificador de Áudio MPEG-2 AAC-LC do programa Brazil-IP/UEFS.

Algumas das dificuldades encontradas referem-se à compreensão do processo de verificação e da metodologia BVM, sendo essa metodologia recente e dispondo de poucos materiais para consulta, além da complexidade do próprio projeto do decodificador. Contudo, as principais metas foram realizadas: os modelos de referência da função de janelamento seno e do módulo *Windowing/Block Switching* foram desenvolvidos e testados, com o ambiente de *testbench* já desenvolvido, ficando a conclusão dos testes na dependência do término do RTL do módulo (em fase final de desenvolvimento, por outros integrantes da equipe).

Este trabalho, e mais especificamente o projeto Brazil-IP, são de extrema importância para a formação acadêmica de um Engenheiro de Computação, pois proporcionam um aprendizado e uma experiência única, as quais serão determinantes para uma possível atuação profissional, seja na área acadêmica, seja no mercado de trabalho. Enfim, as informações adquiridas e as experiências vivenciadas no desenvolvimento de um trabalho deste porte proporcionam uma formação diferenciada para os estudantes. Outro aspecto importante proporcionado pelo projeto é a interação com diferentes grupos de pesquisa de todo o país.

Por fim, o desenvolvimento do projeto como um todo elevou o nível de conhecimento teórico e prático do bolsista, em relação ao processo de verificação funcional e, também, de outros conceitos referentes ao desenvolvimento de sistemas digitais.

REFERÊNCIAS

- BARROS, E. et al. 2005. *iprocess: Using a process to teach ip-core development*. Microelectronics Systems Education, IEEE International Conference on/Multimedia Software Engineering, International Symposium on, IEEE Computer Society, Los Alamitos, CA, USA, v. 0, p. 27-28.
- BERGERON, J. 2003. *Writing Testbenches using System Verilog*. 233 Spring Street, New York, NY 10013, USA: Springer.
- BRAZIL-IP. 2012. Rede brasileira de centros de concepção de Sistemas Digitais e IP-Cores. Disponível em: <<http://www.brazilip.org.br/>> 07 Jul. 2012.